



CF0 15623 VS /k
Appln. No. 09/875,010
GAU: 2812

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 5月16日

出願番号

Application Number:

特願2001-146482

出願人

Applicant(s):

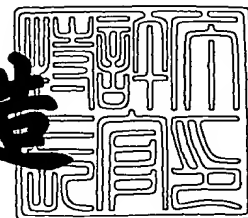
キヤノン株式会社



2001年 6月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3057416

【書類名】 特許願

【整理番号】 4470009

【提出日】 平成13年 5月16日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/14
H04N 5/335

【発明の名称】 電荷転送装置、固体撮像装置及び撮像システム

【請求項の数】 17

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内

【氏名】 篠原 真人

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会
社内

【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【先の出願に基づく優先権主張】

【出願番号】 特願2000-172215

【出願日】 平成12年 6月 8日

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電荷転送装置、固体撮像装置及び撮像システム

【特許請求の範囲】

【請求項 1】 一導電型の半導体基板と、該半導体基板中に形成され且つ該半導体基板と接合してダイオードを形成する、該半導体基板とは反対の導電型の電荷転送領域と、該電荷転送領域に信号電荷を入力するための信号電荷入力部と、該電荷転送領域から転送されてきた信号電荷を蓄積するための信号電荷出力部と、該半導体基板に電位勾配を与えるための複数の独立の電位供給手段とを有し、該複数の電位供給手段により形成された電位勾配によって該電荷転送領域にある信号電荷を転送してなる電荷転送装置。

【請求項 2】 請求項 1 に記載の電荷転送装置において、前記電荷転送領域は信号電荷が入力される前には完全空乏化していることを特徴とする電荷転送装置。

【請求項 3】 請求項 2 に記載の電荷転送装置において、前記電荷転送領域は前記半導体基板中に埋め込まれ、前記半導体基板と埋め込み型ダイオードを形成していることを特徴とする電荷転送装置。

【請求項 4】 一導電型の半導体基板と、該半導体基板中に形成され該半導体基板とは反対の導電型のウエルと、該ウエル中に形成され且つ該ウエルと接合してダイオードを形成する、該ウエルとは反対の導電型の電荷転送領域と、該電荷転送領域に信号電荷を入力するための信号電荷入力部と、該電荷転送領域から転送されてきた信号電荷を蓄積するための信号電荷出力部と、該ウエルに電位勾配を与えるための複数の独立の電位供給手段とを有し、該複数の電位供給手段により形成された電位勾配によって該電荷転送領域にある信号電荷を転送してなる電荷転送装置。

【請求項 5】 請求項 4 に記載の電荷転送装置において、前記電荷転送領域は信号電荷が入力される前には完全空乏化していることを特徴とする電荷転送装置。

【請求項 6】 請求項 5 に記載の電荷転送装置において、前記電荷転送領域は前記ウエル中に埋め込まれ、前記ウエルと埋め込み型ダイオードを形成してい

ることを特徴とする電荷転送装置。

【請求項 7】 一導電型の半導体領域と、該半導体領域内に 2 次元的に配列された光電変換部と、該光電変換部の各列間に配置された、該半導体領域と接合部を形成する該半導体領域とは反対の導電型の電荷転送領域と、該光電変換部から該電荷転送領域に信号電荷を転送入力するための転送電極と、該電荷転送領域から転送されてきた信号電荷を蓄積するための信号電荷出力部と、該半導体領域に電位勾配を与えるための複数の独立の電位供給手段とを有し、該複数の電位供給手段により形成された電位勾配によって該電荷転送領域に入力された信号電荷を列方向に転送してなる固体撮像装置。

【請求項 8】 請求項 7 に記載の固体撮像装置において、前記電荷転送領域は信号電荷が入力される前には完全空乏化していることを特徴とする固体撮像装置。

【請求項 9】 請求項 8 に記載の固体撮像装置において、前記電荷転送領域は前記半導体領域中に埋め込まれ、前記半導体領域と埋め込み型ダイオードを形成していることを特徴とする固体撮像装置。

【請求項 10】 請求項 7 に記載の固体撮像装置において、各列の信号電荷出力部に出力された信号電荷を別形態の電気信号に変換する変換手段を各列に有し、各列の該電気信号を順次読み出すことによって撮像信号を形成する読み出し回路を備えたことを特徴とする固体撮像装置。

【請求項 11】 請求項 10 に記載の固体撮像装置において、信号電荷を別形態の電気信号へ変換する前記変換手段は絶縁ゲート型電界効果トランジスタで構成される増幅器であることを特徴とする固体撮像装置。

【請求項 12】 請求項 7 に記載の固体撮像装置において、各列の前記信号電荷出力部に出力された信号電荷を転送するための電荷転送素子と、該電荷転送素子の最終出力段に接続し、転送された信号電荷を別形態の電気信号に変換する変換手段とを有し、該変換手段からの電気信号を順次読み出すことによって撮像信号を形成することを特徴とする固体撮像装置。

【請求項 13】 請求項 12 に記載の固体撮像装置において、前記電荷転送素子は CCD であることを特徴とする固体撮像装置。

【請求項 1 4】 一導電型の半導体領域と、該半導体領域内に 2 次元的に配列された光電変換部と、該光電変換部の各列間に配置された、該半導体領域と接合部を形成する該半導体領域とは反対の導電型の電荷転送領域と、該光電変換部と該電荷転送領域の間に形成され、該光電変換部からの信号電荷を増幅して出力するための信号増幅部と、該半導体領域に電位勾配を与えるための複数の独立の電位供給手段とを有し、該複数の電位供給手段により形成された電位勾配によって該電荷転送領域を転送した信号電荷を該信号増幅部に入力し、前記増幅手段より増幅された信号を出力することを特徴とする固体撮像装置。

【請求項 1 5】 請求項 1 4 に記載の固体撮像装置において、該信号増幅部は、MOS トランジスタによって構成され、該信号電荷をゲートに受け、増幅した信号をソースより出力することを特徴とする固体撮像装置。

【請求項 1 6】 請求項 1 4 又は 1 5 に記載の固体撮像装置において、複数の該光電変換部毎に、共通の該信号増幅部が設けられていることを特徴とする固体撮像装置。

【請求項 1 7】 請求項 7 乃至 1 6 のいずれか 1 項に記載の固体撮像装置と、該固体撮像装置に光を結像するレンズと、該固体撮像装置からの信号をデジタル信号に変換する A/D 変換器と、該 A/D 変換器からの信号を処理する信号処理部とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は電荷転送装置および固体撮像装置、及び固体撮像装置を用いた撮像システムに関するものである。

【0 0 0 2】

【従来の技術】

従来の電荷転送装置には、CCD (Charge Coupled Device) や CSD (Charge Sweep Device; 特公昭 6 3 - 3 8 8 6 6 号公報、特開平 2 - 6 3 3 1 4 号公報) があり、ともに主として固体撮像装置に応用されている。これらはともに、半導体上に形成された MOS ダイオードで構成され、MOS のゲート電極電位制御

によってできる半導体界面部近傍の空乏層に信号電荷が入力されるが、その転送の方法はCCDとCSDとは異なる。すなわち、CCDは複数のMOSダイオードが多段接続された構成になっており、各段毎にポテンシャル井戸が形成され、複数の独立した信号電荷がこれら複数のポテンシャル井戸に割り振られる。各段のMOSのゲート電極を順次変えることでポテンシャル井戸の位置を順次移動し、その移動にしたがって上記複数の信号電荷を同時に転送する。CSDではやはり複数のMOSダイオードを多段に接続するか、または1つのMOSダイオードで構成されるが、ひとつのCSD転送路は1度にひとつの信号電荷を受け入れるだけであり、CSD転送路全体でひとつのポテンシャル井戸を形成できるため転送できる最大電荷は大きい。電荷の転送はMOSのゲート電極電位を順次変えることにより、ポテンシャル井戸におけるポテンシャル障壁位置を順次移動させて行う。

【0003】

これらの電荷転送装置における転送中に混入する雑音としては半導体基板またはMOSの界面部から発生する暗電流以外は少なく、CCD、CSDとも低雑音の信号電荷転送が可能である。

【0004】

【発明が解決しようとする課題】

しかしながら上記CCD、CSDが固体撮像装置に使われる場合、以下のような課題があった。

【0005】

CCD固体撮像装置の中でもっとも広く用いられているインターライン方式のCCDでは、光信号検出用フォトダイオードが2次元的に複数配列され、上記フォトダイオード列の間に信号電荷転送用のCCDが配置される。この方式において感度を高めるためにフォトダイオード面積を広げるとCCD面積は狭めねばならない。一方、一列のフォトダイオードの各信号電荷は一列のCCDにおける複数のポテンシャル井戸に一斉に送られた後に転送されるので、CCDが転送できるフォトダイオードひとつ当たりの最大電荷量は、ひとつのポテンシャル井戸を形成するMOSダイオード一段の面積に比例する。したがってCCD面積を小さ

くすると、受け入れ可能な最大電荷量は制限される。フォトダイオードひとつ当たりの取り扱い最大信号電荷量は撮像装置のダイナミックレンジを決めるものであり、インターライン方式のCCDは高感度設計と高ダイナミックレンジ設計とが裏腹の関係にあるという課題があった。

【0006】

一方、CSD固体撮像装置の構成は、インターライン方式のCCDと同様、フォトダイオード列間にCSD電荷転送路が配置される。しかしこの場合は、一列のCSD全域でひとつのフォトダイオードの信号電荷を受け入れるので、CSDの転送路幅を狭めても、受け入れ可能な最大電荷量が制限されることは実際上なく、取り扱い最大電荷量はひとつのフォトダイオードの最大蓄積電荷量で決まる。よって、CSD固体撮像装置ではフォトダイオード面積を広げることで、高感度化と高ダイナミックレンジ化とが同時に実現できる。しかるにCSDは1度にひとつかたまりの信号電荷しか転送できないので、その動作は必然的に線順次駆動となり、信号転送されるために選択された行にあるフォトダイオードの信号電荷は高速で転送することが要求される。特に動画用撮像装置の場合には一行の信号読み出し時間が規格で決まっており、この時間内にフォトダイオードの信号電荷をCSD転送路の出力端まで転送しきらなければならないという課題があった。

【0007】

この課題を解決しようとして考えられたCSDの電荷転送方法を図12(a)～図12(e)によって説明する。図12(a)はCSDの概略的断面図、図12(b)～(e)はその転送方法を説明するためのポテンシャル図である。図12(a)において、1は半導体基板であり、ここではp型基板とする。2は絶縁膜、3はポリシリコン等で作られるゲート電極であり、半導体基板1，絶縁膜2，ゲート電極3でMOSダイオードが形成されている。 $\phi 1$ ， $\phi 2$ ， $\phi 3$ ， $\phi 4$ ， $\phi 5$ は電極3に電位を供給する端子であり、それぞれ互いにある間隔をおいた位置で電位が供給されるようになっている。4はポリシリコン等で作られるゲート電極であり、半導体基板1，絶縁膜2，ゲート電極4でMOSダイオードが形成されている。 ϕs は電極4に電位を供給する端子である。

【0008】

図12中の(b), (c), (d), (e)は電荷転送路すなわち上記MOSダイオードの下の半導体界面部近傍のポテンシャルを示しており、信号電荷 Q_{sig} が転送されていくようすを示している。この場合、転送される信号電荷担体は電子であり、図12(b)においては端子 $\phi 2$, $\phi 3$, $\phi 4$, $\phi 5$ は電極3の下
の半導体基板1の界面が空乏化するのに十分な高い電位になる。この時、端子 $\phi 1$ は端子 $\phi 2$ よりも低い電位に設定され、電極3の端子 $\phi 1$, $\phi 2$ 間には電位勾配が生じ、したがってこの下の転送路にも電位勾配ができるため、この場合にある電子は図12中X方向にドリフト運動する。その後、図12(c), (d), (e)で示すように、電極3において電位勾配を与える場所を順次シフトしていくことにより、信号電荷はドリフト運動で移動していく。電極3の端に接する電極4には、端子 ϕs によって端子 $\phi 5$ よりもさらに高い電位が与えられることでその下の半導体界面部に深いポテンシャル井戸が形成されており、最終的に信号電荷はこの井戸に集められる。

【0009】

以上説明したような電位勾配を用いたCSDは、主として電荷の拡散によって電荷転送を行うCCDよりも信号電荷の運動の速さは大きくとれるが、以下の様な課題のために撮像装置に要求される十分高速な電荷転送を実現することは難しい。

【0010】

(1) . MOS電極-半導体界面間容量、半導体界面-半導体バルク間容量が直列接続した構造となっているため、MOS電極に加えられた電位勾配に、この容量分割比をかけた値が転送路である半導体界面に加えられただけである。この容量分割比は通常0.1から0.3程度と小さい。

【0011】

(2) . MOS電極に電位勾配を与えるとその部分にオーミック電流が流れるため大きな電位勾配をかけるのが難しい。

【0012】

(3) . 転送路である半導体界面部における電荷の易動度は半導体バルク中の易動度よりも小さい。

【0013】

以上のような課題があるため、CSDは多量の信号電荷を扱うことが要求される赤外線撮像装置には広く使われてはいるものの、信号の読み出しスピードが速い可視域の撮像装置として使うことは困難であった。

【0014】

【課題を解決するための手段】

以上述べたようなCCD、CSDの課題を解決するため、本発明における電荷転送装置は、一導電型の半導体基板と、該半導体基板中に形成され且つ該半導体基板と接合してダイオードを形成する、該半導体基板とは反対の導電型の電荷転送領域と、該電荷転送領域に信号電荷を入力するための信号電荷入力部と、該電荷転送領域から転送されてきた信号電荷を蓄積するための信号電荷出力部と、該半導体基板に電位勾配を与えるための複数の独立の電位供給手段とを有し、該複数の電位供給手段により形成された電位勾配によって該電荷転送領域にある信号電荷を転送してなるものである。

【0015】

また本発明における電荷転送装置は、一導電型の半導体基板と、該半導体基板中に形成され該半導体基板とは反対の導電型のウエルと、該ウエル中に形成され且つ該ウエルと接合してダイオードを形成する、該ウエルとは反対の導電型の電荷転送領域と、該電荷転送領域に信号電荷を入力するための信号電荷入力部と、該電荷転送領域から転送されてきた信号電荷を蓄積するための信号電荷出力部と、該ウエルに電位勾配を与えるための複数の独立の電位供給手段とを有し、該複数の電位供給手段により形成された電位勾配によって該電荷転送領域にある信号電荷を転送してなるものである。

【0016】

上記の構成の電荷転送装置においては、信号電荷出力部の電位と半導体基板又はウエルの電位とを適切な値に設定することで、電荷転送領域が完全に空乏化するように電荷転送領域の不純物濃度をあらかじめ制御することが望ましい。

【0017】

上記電荷転送領域が完全空乏化した状態で信号電荷入力部から入力された信号

電荷は、半導体基板又はウエルに電位勾配を与えることにより生じた電荷転送領域における電位勾配によってドリフト転送される。

【0018】

上記電荷転送装置はCSDと同じように、一度の転送動作で転送できるのはひとかたまりの信号電荷だけであるが、電荷転送路はMOSダイオードの半導体界面ではなく電荷転送路側の領域が完全空乏化するPN接合ダイオードであるため、半導体基板又はウエルに加えた電位勾配はそのまま電荷転送路における電位勾配となる。また、半導体の抵抗は、MOSのゲート電極として一般的なポリシリコンよりも十分に大きく設定できるため大きな電位勾配をかけやすい。さらに、埋め込み型ダイオード構造を採用することにより電荷転送路となる領域が半導体基板又はウエル内部に形成されれば、転送される信号電荷の易動度は半導体界面部における易動度よりも大きくなる。

【0019】

このような効果があるため、本発明の電荷転送装置を固体撮像装置の電荷転送部として用いれば高速の線順次信号電荷転送を実現できるため、可視光動画用途にも対応可能である。しかもインターライン方式のCCD固体撮像装置と異なり、転送路を狭くしても実際上では取り扱い最大電荷量を制限することがないため、フォトダイオード面積を広くとることにより高感度、高ダイナミックレンジの固体撮像装置を提供することができる。

【0020】

【発明の実施の形態】

以下、本発明の実施例について図面を用いて詳細に説明する。

【0021】

〔第1の実施例〕

図1(a)は本発明の電荷転送装置の第1の実施例を示す断面図、図1(b)～(e)はその転送方法を示すポテンシャル図である。

【0022】

図1(a)において、1はP型の半導体基板、2は半導体界面上の絶縁膜であり、図9と同じ符号を付している。5は電荷転送領域(電荷転送路)となる不純

物濃度の小さいN型半導体領域、6は信号電荷入力部となるN型半導体領域、7はN型半導体領域6にある信号電荷担体（ここでは電子）を電荷転送領域となるN型半導体領域5へ転送入力するためのゲート電極、8はゲート電極7に電位を与えるための端子、9は転送されてきた信号電荷の信号電荷出力部となるN型半導体領域、10は電荷転送領域となるN型半導体領域5にある電子を信号電荷出力部となるN型半導体領域9へ転送出力するためのゲート電極、11はゲート電極10に電位を与えるための端子、12は信号電荷入力部となるN型半導体領域6の近傍に位置し、この位置における半導体基板に電位を与えるためのP型半導体領域、13はP型半導体領域12に電位を与えるための端子、14は信号電荷出力部となるN型半導体領域9の近傍に位置し、この位置における半導体基板に電位を与えるためのP型半導体領域、15はP型半導体領域14に電位を与えるための端子である。

【0023】

図1における（b）、（c）、（d）、（e）は、信号電荷転送動作時の信号電荷入力部、電荷転送領域、信号電荷出力部におけるポテンシャル図であり、信号電荷 Q_{sig} が転送される様子を表している。転送される信号電荷は電子なので、電位が低いほど電子にとってのポテンシャルは高く描かれている。このポテンシャル図を用いて本実施例の信号電荷転送動作を説明する。なお、6は信号電荷入力部、5は電荷転送領域、9は信号電荷出力部として説明する。

【0024】

図1（b）は転送電荷である信号電荷担体（ここでは電子）がまだ信号電荷入力部6にある転送前の状態を示している。端子13、15は同じ電位が与えられていても、異なる電位が与えられていてもよいが、異なる電位が与えられる場合は端子13の電位は端子15の電位よりも低い電位とする。端子8には信号電荷入力部6と電荷転送領域5とが非導通となるような低い電位が与えられる。端子11には信号電荷出力部9と電荷転送領域5とが導通となるような高い電位が与えられ、信号電荷出力部9は端子15よりも十分に高い電位が設定されており、電荷転送領域5での信号電荷となる電子はすべて信号電荷出力部9に拡散またはドリフトによって流れ出され、電荷転送領域5は完全空乏化されるようにする。

【 0 0 2 5 】

図 1 (c) は信号電荷 Q_{sig} が信号電荷入力部 6 から電荷転送領域 5 へと入力転送される様子を示す。この時、端子 8 には信号電荷入力部 6 と電荷転送領域 5 とが導通となるような高い電位が与えられて信号電荷の入力が行われる。なお、信号電荷入力部 6 は不純物濃度の小さい半導体領域であって、信号電荷担体（ここでは電子）が転送入力された後には完全空乏化するような構成としている。端子 1 1, 1 3, 1 5 の電位は図 1 (b) の状態と同じである。

【 0 0 2 6 】

図 1 (d) は、信号電荷 Q_{sig} が信号電荷入力部 6 から信号電荷出力部 9 の方向へと電荷転送領域 5 の中を転送移動する様子を示す。この時、端子 8 は信号電荷入力用ゲート電極 7 がオフ状態になるような低い電位とし、また端子 1 3 の電位は端子 1 5 の電位よりも低い電位に設定する。この状態においては、半導体基板 1 には端子 1 3 から端子 1 5 に沿って電位勾配が生ずるが、この電位勾配は完全空乏化している電荷転送領域 5 にもそのまま現われるので、この電荷転送領域上にある信号電荷 Q_{sig} はこの電位勾配によってドリフト運動し、最終的には信号電荷出力部 9 に到達する。

【 0 0 2 7 】

図 1 (e) は信号電荷出力部 9 に転送された信号電荷が蓄積された様子を示す。ゲート電極 1 0 の下を通過して信号電荷 Q_{sig} が信号電荷出力部 9 に蓄積されると、端子 1 1 の電位は下がり信号電荷出力部 9 と電荷転送領域 5 とが非導通となり、信号電荷転送が完了する。

【 0 0 2 8 】

以上説明した本実施例において、信号電荷出力部は転送動作前に電荷転送領域の信号電荷を全部ここに掃き出すことができ、また転送動作によって転送された信号電荷を蓄積できる手段であれば、信号電荷出力部たる N 型半導体領域をフローティングディフュージョン構造として、転送された信号電荷による電位変化（電圧（信号）；別形態の電気信号となる。）を検知する手段と接続する構成であっても、また CCD の信号電荷入力部としてさらに CCD 転送されるような構成であっても、またゲート電極 1 0 がなく信号電荷出力部 9 が電荷転送領域 5 と直

接接続するような構成であってもよい。別形態の電気信号としては電圧信号の他に電流信号等がある。

【 0 0 2 9 】

[第 2 の実施例]

図 2 は本発明の電荷転送装置の第 2 の実施例を示す断面図であり、同図において、16 は N 型の半導体基板、17 は半導体基板 16 に電位を与えるための端子、18 は半導体基板 16 中に形成された P 型のウエルである。図 2 においては図 1 と同じ部分については同一の番号を付して説明は省略する。本実施例では、端子 17 には P 型ウエル 18 と N 型基板 16 とが逆バイアスとなるように、端子 13、15 のいずれの電位よりも高い電位が設定されているが、P 型のウエル 18 中に形成された電荷転送装置の構成、動作は第 1 の実施例と同じである。

【 0 0 3 0 】

本実施例においては、N 型基板と P 型ウエルとは電氣的に分離されるので、電荷転送装置が形成される P 型ウエル以外の場所に別の電氣的素子を独立に形成することができる。

【 0 0 3 1 】

[第 3 の実施例]

図 3 (a) は本発明の電荷転送装置の第 3 の実施例を示す断面図、図 3 (b) ~ (d) はその転送方法を示すポテンシャル図である。

【 0 0 3 2 】

図 3 (a) において、19 および 20 は電荷転送領域 5 の近傍に位置し、P 型基板 1 とオーミックコンタクトをとるための P 型の半導体領域であり、電荷転送方向 (図中 X 方向) に向かって順に並んだ場所にある。図 3 (a) では半導体領域 19、20 は電荷転送領域 5 と重なっているが、これらを点線で示したのは、図 3 の紙面垂直方向に電荷転送領域 5 とは少しずれたところに位置していることを表すためである。端子 21 および 22 はそれぞれ半導体領域 19、20 に電位を与えるための端子である。図 3 (a) においては、図 1 と同じ部分については同一の番号を付して説明は省略する。

【 0 0 3 3 】

本実施例における、信号電荷入力動作、出力部の動作は第 1 の実施例と同じなので説明を省力し、電荷転送時の動作を、この時の電位ポテンシャル図である図 3 の (b) , (c) (d) を使って説明する。

【 0 0 3 4 】

図 3 (b) は信号電荷入力後のポテンシャル図であり、端子 2 1 , 2 2 , 1 5 は同電位、端子 1 3 にはこれらの電位よりも低い電位が供給され、半導体領域 1 2 から半導体領域 1 9 にわたる電位勾配により信号電荷が転送される様子を示している。電位勾配の位置は以下順次変わり、図 3 (c) では半導体領域 1 9 と半導体領域 2 0 との間で電位勾配が生じ、図 3 (d) では領域 2 0 と領域 1 4 との間で電位勾配が生ずるように、端子 1 3 , 1 5 , 2 1 , 2 2 の電位を変化させている。このように信号電荷が位置する場所に局所的に電位勾配を与えれば、供給する電位差が同じであれば、第 1 の実施例と比べて大きな電位勾配によって電荷転送を行えるので、より高速の信号電荷転送を実現できる。なお本実施例は第 2 の実施例のように N 型半導体基板中の P 型ウエルで実現することも当然可能である。

【 0 0 3 5 】

以上説明した、第 1、第 2、第 3 の実施例においては、電荷転送路（電荷転送領域）は半導体界面部に接する N 型半導体領域としているが、半導体界面部近傍は基板またはウエルと同じ P 型の半導体層とし、電荷転送路となる N 型半導体領域は半導体基板に埋め込まれた構造を採用してもよい。この埋め込み型構造の場合には電荷転送路が半導体界面に接する場合よりも信号電荷の易動度が高いので、より速い電荷転送ができるうえ、電荷転送中に電荷転送路から発生する暗電流の発生が小さくできるのでノイズの小さい信号電荷が得られる。

【 0 0 3 6 】

また、以上の実施例においては、すべて電荷転送路は N 型半導体領域、転送される信号電荷は電子としているが、半導体の P 型、N 型を逆に形成、与える電位の極性も逆に設定し、転送される信号電荷をホールとしてもよい。

【 0 0 3 7 】

[第 4 の実施例]

本発明の第4の実施例は上記で説明した第2の電荷転送による固体撮像装置であり、この固体撮像装置の回路を図4に示し、そして断面構造を図5、図6に示す。なお、図4、図5、図6において、図1、図2、図3と同じ部分については同一の番号を付して詳しい説明は省略する。

【0038】

図4における固体撮像装置は単位画素が2次元的に配列され、その画素列の間に電荷転送領域5が配列されるものであり、これらの画素領域はP型ウエル18中に形成されているが、ここでは説明の簡単化のため2×2画素で示されている。P型ウエル18の電位は図中の下辺における領域12と上辺における領域14から供給され、領域12と領域14との間のP型ウエル18の電位はウエル抵抗27を介して設定される。26は入射光によって発生した信号電荷担体（ここでは電子）を蓄積する領域6とP型ウエル18とで形成されるフォトダイオードである。25は電荷転送領域5とP型ウエル18とで形成されるダイオードを表す。画素23は領域6、ゲート電極7（ゲート電極7、領域6、領域5の一部でMOSスイッチを構成する。）、フォトダイオード26で構成されている。28は配列された画素を1行ずつ選択していくための垂直シフトレジスタであり、その出力24-1、24-2はそれぞれ1行目および2行目の画素における転送用ゲート電極7に接続されている。

【0039】

ゲート電極7をHレベルとして領域6から領域（電荷転送領域）5に転送された信号電荷は領域9に転送される。ゲート電極10は領域5の一部と領域9とでMOSスイッチを構成している。領域9はここではフローティングディフュージョンである。29は領域9とP型ウエル18との間に形成されるダイオードを示す。以上が光電変換画素領域およびここから転送される信号電荷出力部の構成である。

【0040】

次に、上記信号電荷出力部に転送出力された画素の信号電荷を撮像信号として読み出すための読み出し回路の構成について説明する。30はそのゲートが電荷出力部となる領域9と接続するソースフォロワンプ用MOSトランジスタ、3

1 は定電流供給用 MOS トランジスタ、33 は領域 9 をリセットするための MOS トランジスタである。35 は電源電位供給線であり、MOS トランジスタ 30 のドレイン部および MOS トランジスタ 33 のドレイン部と接続する。32 は MOS トランジスタ 31 のゲートに電位を供給するための端子であり、MOS トランジスタ 31 が定電流源として動作するようその電位が設定されている。34 は MOS トランジスタ 33 のゲートにパルスを供給するための端子、36 は MOS トランジスタ 30 と MOS トランジスタ 31 とで形成されるソースフォロワの出力信号線である。37 は上記ソースフォロワのリセット出力電圧を蓄積するための蓄積容量、38 はリセットレベルに信号が上乘せされた上記ソースフォロワ出力電圧を蓄積するための蓄積容量、39、40 はそれぞれ出力信号線 36 と蓄積容量 37、出力信号線 36 と蓄積容量 38 とをスイッチするための MOS トランジスタ、41、42 はそれぞれ MOS トランジスタ 39、40 のゲートにパルスを供給するための端子、43、44 はそれぞれ蓄積容量 37、38 に蓄積された電圧が導かれる水平出力線、45、46 はそれぞれ蓄積容量 37 と水平出力線 43、蓄積容量 38 と水平出力線 44 との導通を制御するための MOS トランジスタ、47、48 はそれぞれ水平出力線 43、水平出力線 44 をリセットするための MOS トランジスタ、49 は MOS トランジスタ 47、48 のゲートにパルスを供給するための端子、50 は水平出力線 43、44 のリセット電位を供給する端子、51 は各列毎の蓄積容量を順次選択走査するための水平シフトレジスタ、52-1、52-2 は水平シフトレジスタ 51 の出力であり、それぞれ 1 列目の MOS トランジスタ 45 と 46 のゲート、2 列目の MOS トランジスタ 45 と 46 のゲートに接続されている。53 は水平出力線 43 の電位と水平出力線 44 の電位との差分電圧をとって出力するための差動アンプ、54 は差動アンプ 53 の出力端子である。

【0041】

図 4 における MOS トランジスタはここではすべて N 型 MOS トランジスタとしており、そのゲートが High レベルの時に導通、Low レベルの時に非導通状態となる。また読み出し回路における MOS トランジスタは、P 型ウエル 18 とは電氣的に独立した別の P 型ウエル中に形成されている。

【 0 0 4 2 】

図 5 は、本実施例の画素および電荷転送領域の横方向の断面を示すものであり、同図において、5 8 は P 型ウエル領域 1 8 の界面に設けられた P 型の半導体層であって、P 型ウエル領域 1 8 と電氣的に導通しており、光信号電荷を蓄積する領域 6 および電荷転送領域 5 がともに半導体中に埋め込まれた構造となるようにしている。5 9 は信号電荷転送領域 5 への光入射をさえぎるための遮光層である。信号電荷は図 5 の紙面垂直方向に転送される。

【 0 0 4 3 】

図 6 は、本実施例の電荷転送領域の縦方向すなわち転送方向の断面を示すものである。すでに説明した部分については同一の番号を付して説明は省略する。

【 0 0 4 4 】

次に、図 4 の固体撮像装置の動作を図 7 を用いて説明する。図 7 はパルスタイミングチャートであり、記号 ϕ のあとにつけた番号は図 4 における端子の番号を示している。また動作タイミングに従い、T 1 から T 6 で区分される期間は、ある特定の動作期間であることを表す。なお端子 1 3 には常に一定の電位が供給されるので、図 7 には明記していない。

【 0 0 4 5 】

図 7 における T 1 期間は電荷出力部となる領域 9 と電荷転送領域 5 のリセット期間であり、領域 9 は MOS トランジスタ 3 3 を通じて高い電位である電源線と導通している。この時、電荷転送領域 5 にある信号電荷たる電子はゲート電極 1 0 の下のチャンネルを通過して領域 9 に掃き出され、領域 5 は完全空乏化される。

【 0 0 4 6 】

次の T 2 期間はノイズ読み出し期間であり、この期間は端子 1 1, 3 4 が Low レベルになり、領域 9 は浮遊状態となる。領域 9 の電位は T 1 期間におけるリセット動作により電源線電位を保っており、MOS トランジスタ 3 0, 3 1 で形成されるソースフォロワのリセット出力電位が MOS トランジスタ 3 9 を通して蓄積容量 3 7 に蓄積される。このソースフォロワのリセット出力電位は、各列にある MOS トランジスタ 3 0 のしきい電圧値のばらつきのため各列毎に異なる。またひとつのソースフォロワをとってみても、領域 9 の容量に依存した熱雑音い

わゆる kTC ノイズがあるため、繰り返される T_2 期間の動作のたびに異なるリセット出力電位を生ずる。

【 0 0 4 7 】

次の T_3 期間は画素における電荷入力部となる領域 6 に蓄積された信号電荷を電荷転送領域 5 に転送入力する期間である。この動作は垂直シフトレジスタ 2 8 によって選択された行のゲート電極 7 にパルスをかけることで行う。引き続く T_4 は電荷転送期間である。端子 1 5 には端子 1 3 よりも高い電位が与えられ、信号電荷担体（ここでは電子）は図 4 においては上の方向にドリフト移動していき、最終的にはゲート 1 0 の下を通過して領域 9 に出力される。

【 0 0 4 8 】

次の T_5 期間は信号読み出し期間である。電荷出力部の領域 9 には T_2 期間におけるリセット状態に転送された信号電荷が上乘せされている。よってソースフォロワの出力信号線 3 6 にはノイズレベルに信号分が上乘せされた出力が出ており、この電圧が MOS トランジスタ 4 0 を通して蓄積容量 3 8 に蓄積される。期間 T_6 は水平走査期間であり、水平出力線 4 3, 4 4 がリセット用 MOS トランジスタ 4 7, 4 8 を通してリセットされた後、水平シフトレジスタ 5 1 に選択された列の蓄積容量 3 7, 3 8 に蓄積された電圧がそれぞれ水平出力線 4 3, 4 4 に導かれ、差動アンプ 5 3 に入力されるので、差動アンプ 5 3 からはノイズレベルが差し引かれた純粋な信号電圧のみが出力される。

【 0 0 4 9 】

垂直シフトレジスタが一段進むごとに上述した一連の動作が繰り返され、最終的にはすべての行の画素信号が読み出されることで撮像信号が形成される。

【 0 0 5 0 】

本実施例では、各列に設けたソースフォロワによって転送された信号電荷を電圧信号に変換しているが、ソースフォロワ以外のアンプを用いてもよいし、またノイズ除去方式としてクランプ回路等の方式を用いてもよい。すなわち読み出し回路系については、転送された画素の信号電荷を電気信号に変換し、これを順次読み出して撮像信号を形成できれば、どんな読み出し回路系を用いてもよい。

【 0 0 5 1 】

以上説明した本実施例では画素のフォトダイオード面積を広く設計することにより、広ダイナミックレンジ、高感度を同時に実現でき、また本実施例では埋め込み型フォトダイオードおよび埋め込みダイオードによる転送領域が形成されているので、暗電流によるノイズの発生が小さく、また高速の電荷転送により動画にも対応した固体撮像装置を提供することができる。さらに本実施例の固体撮像装置については、MOSダイオードを使った電荷転送素子は使われていなく、読み出し回路はMOSトランジスタのみで構成できる。よって、この固体撮像装置はCCDプロセスではなく、簡単なCMOSプロセスをもとに製造ができるので、製造コストが安価にできる。

【 0 0 5 2 】

〔第5の実施例〕

本発明の第5の実施例は上記で説明した第2の実施例の電荷転送による固体撮像装置のひとつの例であり、これを図8に示す。図8において、図1、図2、図3、図4と同じ部分については同一の番号を付して詳しい説明は省略する。

【 0 0 5 3 】

図8において、55は転送された信号電荷を水平転送するための水平CCD、56は水平CCD55から出力される信号電荷量を検知し電気信号として出力するためのアンプ、57はアンプ56の出力端子である。画素および電荷転送領域の構成は第4の実施例と同じであるが、電荷出力部9はフローティングディフュージョンではなく、電荷がない時には完全空乏化し、水平CCD55のゲート電極によって形成される空乏層に転送することのできる水平CCD55への入力部である。本実施例は画素信号の垂直方向電荷転送動作は第4の実施例と同じであるが、ノイズ読み出しはなく、転送された画素信号電荷をそのまま水平CCDに入力し、水平転送にしたがって出力端子57から撮像信号を得るものである。

【 0 0 5 4 】

本実施例では画素のフォトダイオード面積を広く設計することにより、広ダイナミックレンジ、高感度を同時に実現でき、また高速の垂直電荷転送により可視光の動画にも対応した固体撮像装置を提供することができる。また本実施例では信号電荷を水平CCDによって転送するため、読み出し回路から発生するノイズ

の発生が小さい低ノイズ信号を得ることができる。

【 0 0 5 5 】

〔第 6 の実施例〕

本発明の第 6 の実施例は、上記で説明した第 2 の実施例による電荷転送を増幅型固体撮像装置に応用したものである。増幅型固体撮像装置とは、受光画素に蓄積された信号電荷を画素部に備わったトランジスタの制御電極に導き、増幅された信号を主電極から出力するタイプのものであり、増幅用トランジスタとして SIT を使った SIT 型イメージセンサ (A. Yusa, J. Nishizawa et al., "SIT image sensor: Design consideration and characteristics," IEEE trans. Vol. ED-33, pp.735-742, June 1986.)、バイポーラトランジスタを使った BASIS (N. Tanaka et al., "A 310K pixel bipolar imager (BASIS)," IEEE Trans. Electron Devices, vol.35, pp. 646-652, may 1990)、制御電極が空乏化する JFET を使った CMD (中村ほか "ゲート蓄積型 MOS フォトトランジスタイメージセンサ", テレビ学会誌, 41, 11, pp.1075-1082 Nov. , 1987)、MOS トランジスタを使った CMOS センサ (S.K.Mendis, S.E.Kemeny and E.R.Fossum, "A 128 × 128 CMOS active image sensor for highly integrated imaging systems," in IEDM Tech. Dig., 1993, pp. 583-586.) などがある。

【 0 0 5 6 】

図 9, 10 は本発明の第 6 の実施例を説明するためのものであり、同図において図 1 ~ 8 と同一の部材には同じ番号を付し、説明を省略する。図 9 において、60 は上記増幅型撮像装置の信号増幅部であり、増幅トランジスタの制御電極には、転送路 5 によって転送された信号電荷が導かれる。61 は信号増幅部 60 において増幅された信号を出力するための出力線であり、61-1、61-2 はそれぞれ一列目の出力線、二列目の出力線を示す。62 は信号増幅部 60 の駆動線であり、62-1、62-2 はそれぞれ一行目、二行目の駆動線を示す。63 は出力線 61 から出力された信号を水平走査にしたがって最終アンプに出力するための読み出し回路であり、増幅部 60 から出力される信号の特性に応じて、様々なタイプの読み出し回路がありうるが、図 9 においては、図 4 で示した読み出し回路を想定し、最終アンプには差動アンプ 53 を用いている。

【 0 0 5 7 】

図 1 1 は増幅部 6 0 を CMOS センサタイプとした時の、転送路 5 と 6 0 との接続構造を表した図である。同図において、6 4 はフローティングディフュージョン（FD 部）、6 5 は FD 部 6 4 をリセットするための MOS トランジスタ、6 6 はそのゲートが FD 部 6 4 と接続している増幅用トランジスタ、6 7 は出力線 6 1 と増幅用トランジスタ 6 4 との出力部とを接続し、出力行を選択するためのスイッチ MOS トランジスタ、6 8 は電源線であり、増幅用トランジスタ 6 6 の電源線とリセット用トランジスタ 6 5 のリセット電源線とを兼ねている。リセット用トランジスタ 6 5、選択用トランジスタ 6 7 のゲートはそれぞれ駆動線 6 2 のうちのひとつであり、垂直シフトレジスタ 2 8 の走査にしたがってパルスが印加される。

【 0 0 5 8 】

次に信号増幅部 6 0 の動作の簡単な説明を行う。まず増幅部 6 0 は選択用トランジスタ 6 7 が ON 状態となることによって選択される。この状態でリセット MOS トランジスタのゲートにパルスが印加されて FD 部 6 4 がリセットされる。出力線 6 1 には、読み出し回路 6 3 から定電流が供給されるため、増幅用 MOS トランジスタ 6 6 はソースフォロワ動作をし、FD 部 6 4 すなわち増幅用 MOS トランジスタ 6 6 のゲートの電位に応じた電位が出力線 6 1 に現れるが、この電位は読み出し回路 6 3 のリセットレベル蓄積部に保持される。次に信号転送パルスが選択行の駆動線 2 4 に印加され、選択されている FD 部 6 4 に信号電荷が転送されるが、この時、電源端子 1 3, 1 5 に加えられる電位によって P 型ウエル 1 8 には電位勾配がつけられ、信号電荷転送は速やかにおこなわれる。出力線 6 1 にはリセットレベル電位に信号電圧分が上乘せされた電位が現れ、この電位は読み出し回路 6 3 の（リセット＋信号）レベル蓄積部に保持される。この後、水平走査回路 5 1 にしたがって、読み出し回路 6 3 に保持された信号が差動アンプ 5 3 に順次送られ、出力端子からはノイズすなわちリセットレベルのばらつき分を含まない信号が出力される。

【 0 0 5 9 】

本実施例を説明する図 9 では、ひとつの FD、ひとつの増幅部は 2 つの画素を担っているが、一般には 2 つ以上の複数画素を担うものに適用できる。

【 0 0 6 0 】

本実施例によれば、複数のフォトダイオード画素が共通の1つのFDに集められ、増幅部の数も画素数より少ない数で構成できるため、1画素にひとつの増幅部を持つ従来の増幅型撮像装置に比べ、FDの容量をふやさず、フォトダイオードの開口面積を大きくとれるため、高感度の撮像装置を提供できる。

【 0 0 6 1 】

以上説明した第4乃至第6の実施例では、画素および電荷転送領域がウエル内に形成された第2実施例の構成が使われているが、これらが第1実施例のように半導体基板に形成されていても、また第3実施例のように電位勾配をかける場所を電荷転送路に沿って順次移動させるような構成にしてもよい。また画素信号電荷は一方向に転送されるだけでなく、電荷転送路の電位勾配の方向設定によって上下2方向どちらにも転送できるようにし、電荷出力部9を電荷転送領域5の両端に設ける構成にしてもよい。

【 0 0 6 2 】

〔第7の実施例〕

図11に基づいて、上記で説明した 実施例4乃至6で説明した固体撮像装置を用いた撮像システムについて説明する。

【 0 0 6 3 】

図11において、101はレンズのプロテクトとメインスイッチを兼ねるバリア、102は被写体の光学像を固体撮像装置104に結像させるレンズ、103はレンズ102を通った光量を可変するための絞り、104はレンズ102で結像された被写体を画像信号として取り込むための固体撮像装置、105は、固体撮像装置104から出力される画像信号を増幅するゲイン可変アンプ部及びゲイン値を補正するためのゲイン補正回路部等を含む撮像信号処理回路、106は固体撮像装置104より出力される画像信号のアナログーデジタル変換を行うA/D変換器、107はA/D変換器6より出力された画像データに各種の補正を行ったりデータを圧縮する信号処理部、108は固体撮像装置4、撮像信号処理回路105、A/D変換器106、信号処理部107に、各種タイミング信号を出力するタイミング発生部、109は各種演算と撮像システム全体を制御する全

体制御・演算部、110は画像データを一時的に記憶する為のメモリ部、111は記録媒体に記録または読み出しを行うためのインターフェース部、112は画像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体、113は外部コンピュータ等と通信する為のインターフェース部である。

【0064】

次に、前述の構成における撮影時の撮像システムの動作について説明する。

【0065】

バリア101がオープンされるとメイン電源がオンされ、次にコントロール系の電源がオンし、更にA/D変換器6などの撮像系回路の電源がオンされる。

【0066】

それから、露光量を制御する為に、全体制御・演算部109は絞り103を開放にし、固体撮像撮像104から出力された信号はA/D変換器106で変換された後、信号処理部107に入力される。

【0067】

そのデータを基に露出の演算を全体制御・演算部109で行う。

【0068】

この測光を行った結果により明るさを判断し、その結果に応じて全体制御・演算部109は絞りを制御する。

【0069】

次に、固体撮像撮像104から出力された信号をもとに、高周波成分を取り出し被写体までの距離の演算を全体制御・演算部109で行う。その後、レンズを駆動して合焦か否かを判断し、合焦していないと判断した時は、再びレンズを駆動し測距を行う。

【0070】

そして、合焦が確認された後に本露光が始まる。

【0071】

露光が終了すると、固体撮像素子104から出力された画像信号はA/D変換器106でA/D変換され、信号処理部7を通り全体制御・演算部9によりメモリ部に書き込まれる。

【 0 0 7 2 】

その後、メモリ部 1 1 0 に蓄積されたデータは、全体制御・演算部 9 の制御により記録媒体制御 I / F 部を通り半導体メモリ等の着脱可能な記録媒体 1 2 に記録される。

【 0 0 7 3 】

また、外部 I / F 部 1 1 3 を通り直接コンピュータ等に入力して画像の加工を行ってもよい。

【 0 0 7 4 】

【発明の効果】

以上説明したように、本発明によれば、低ノイズで高速の信号電荷転送を行う電荷転送装置を実現することができる。また本発明の電荷転送装置による画素からの信号電荷を転送する構成を採用することで、可視光の動画にも対応できる速さで駆動する高感度、高ダイナミックレンジの固体撮像装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施例の電荷転送装置を説明する図である。

【図 2】

本発明の第 2 実施例の電荷転送装置を説明する図である。

【図 3】

本発明の第 3 実施例の電荷転送装置を説明する図である。

【図 4】

本発明の第 4 実施例の固体撮像装置を説明する回路図である。

【図 5】

本発明の第 4 実施例の固体撮像装置を説明する断面構造図である。

【図 6】

本発明の第 4 実施例の固体撮像装置を説明する断面構造図である。

【図 7】

本発明の第 4 実施例の固体撮像装置の動作を説明するタイミングチャート図で

ある。

【図 8】

本発明の第 5 実施例の固体撮像装置を説明する回路図である。

【図 9】

本発明の第 6 実施例の固体撮像装置を説明する回路図である。

【図 1 0】

本発明の第 4 実施例の固体撮像装置の信号増幅部を説明する回路図である。

【図 1 1】

第 4 乃至第 6 実施例の固体撮像装置を用いた撮像システムを説明する図である。

【図 1 2】

従来の電荷転送装置の動作を説明するための図である。

【符号の説明】

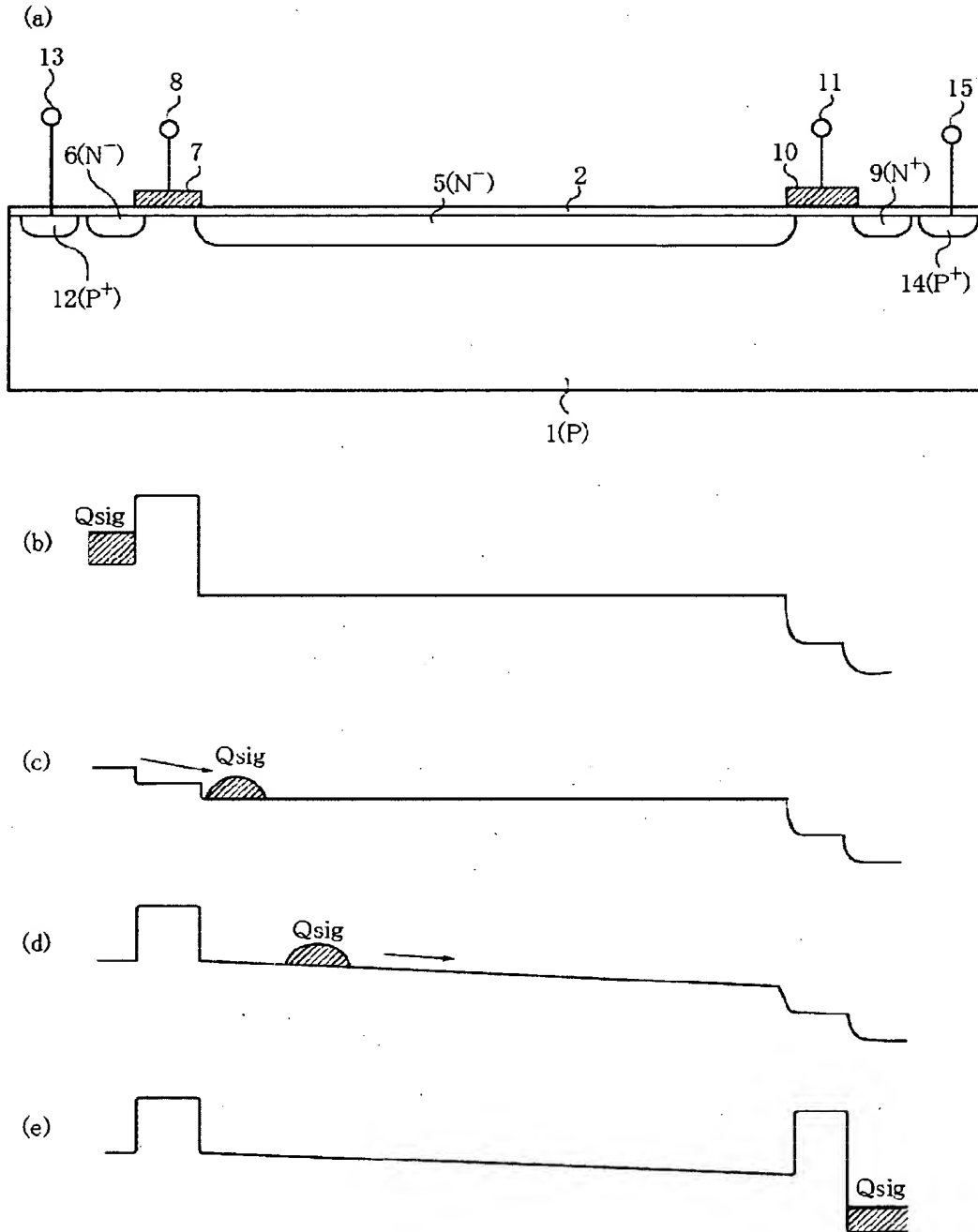
- 1 半導体基板
- 2 絶縁体膜
- 3 ゲート電極
- 4 ゲート電極
- 5 電荷転送領域
- 6 信号電荷入力部
- 7 ゲート電極
- 8 パルス入力端子
- 9 信号電荷出力部
- 1 0 ゲート電極
- 1 1 パルス入力端子
- 1 2 半導体基板への電位供給部
- 1 3 電位供給端子
- 1 4 半導体基板への電位供給部
- 1 5 電位供給端子
- 1 6 半導体基板

- 17 電位供給端子
- 18 ウエル領域
- 19 半導体基板への電位供給部
- 20 半導体基板への電位供給部
- 21 電位供給端子
- 22 電位供給端子
- 23 画素
- 24-1, 24-2 パルス供給線
- 25 ダイオード
- 26 フォトダイオード
- 27 ウエル抵抗
- 28 垂直シフトレジスタ
- 29 ダイオード
- 30 増幅用MOSトランジスタ
- 31 定電流供給用MOSトランジスタ
- 32 パルス供給端子
- 33 リセット用MOSトランジスタ
- 34 パルス供給端子
- 35 電源線
- 36 ソースフォロウ出力線
- 37 信号蓄積容量
- 38 信号蓄積容量
- 39 MOSトランジスタ
- 40 MOSトランジスタ
- 41 パルス供給端子
- 42 パルス供給端子
- 43 水平出力線
- 44 水平出力線
- 45 MOSトランジスタ

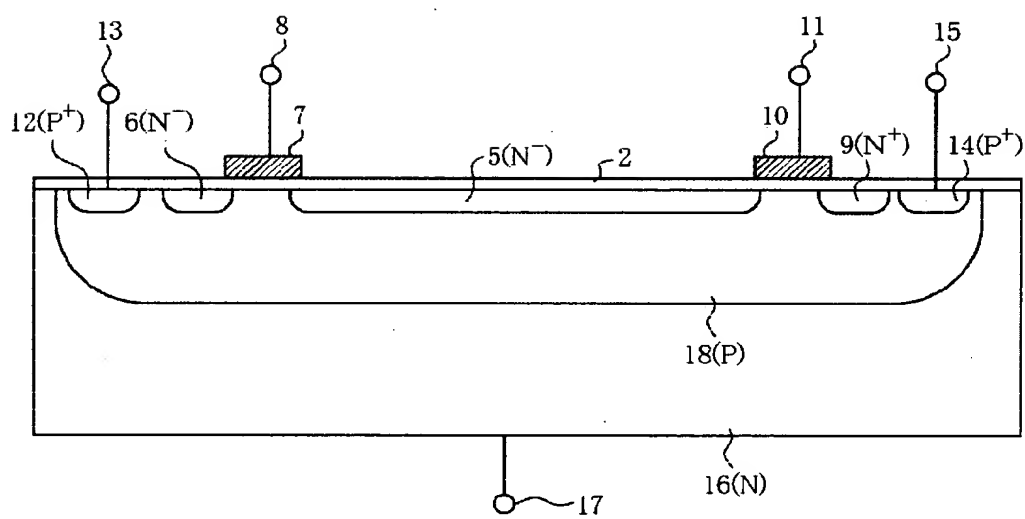
- 4 6 MOSトランジスタ
- 4 7 MOSトランジスタ
- 4 8 MOSトランジスタ
- 4 9 パルス供給端子
- 5 0 電位供給端子
- 5 1 水平シフトレジスタ
- 5 2 - 1, 5 2 - 2 水平シフトレジスタ出力線
- 5 3 差動アンプ
- 5 4 出力端子
- 5 5 水平CCD
- 5 6 アンプ
- 5 7 出力端子
- 5 8 ウエル 1 8 と同じ導電型の半導体層
- 5 9 遮光層

【書類名】 図面

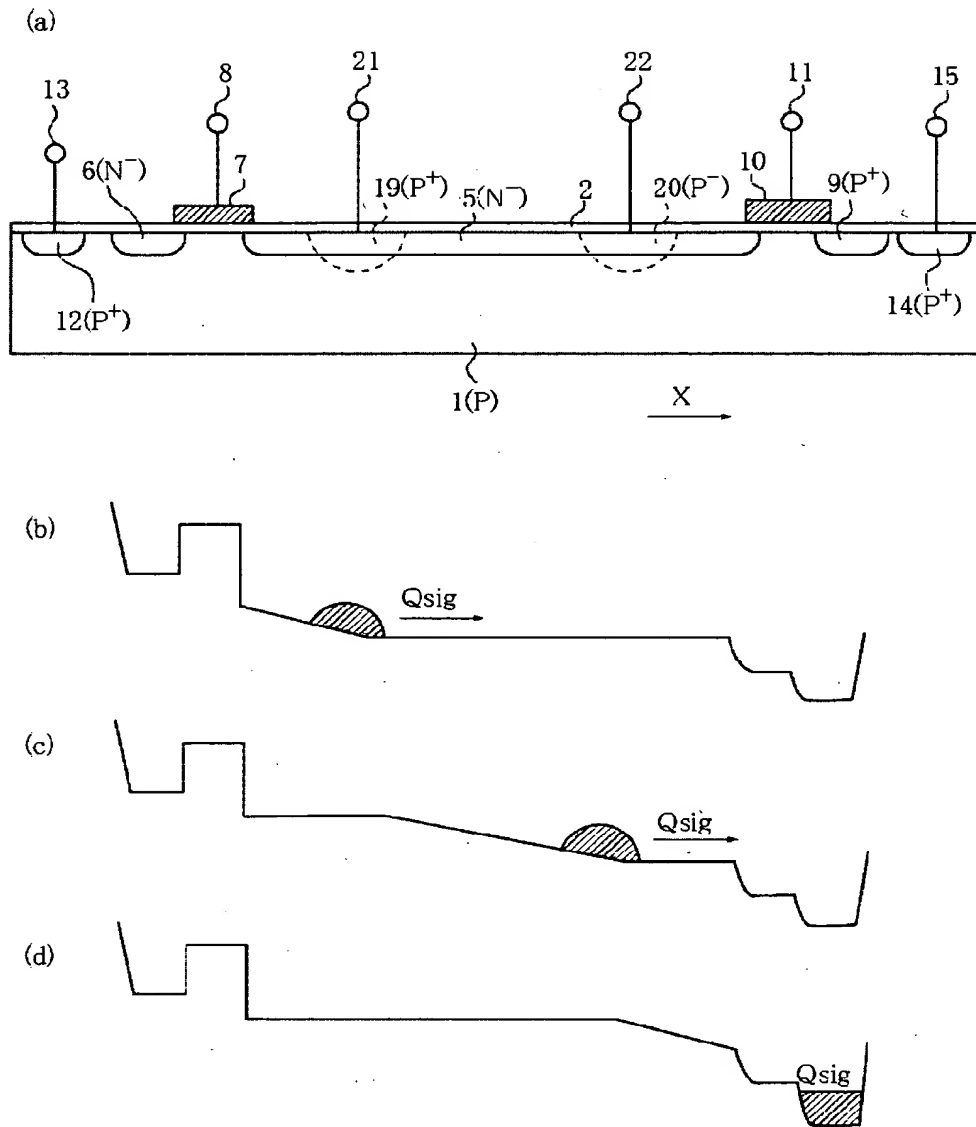
【図 1】



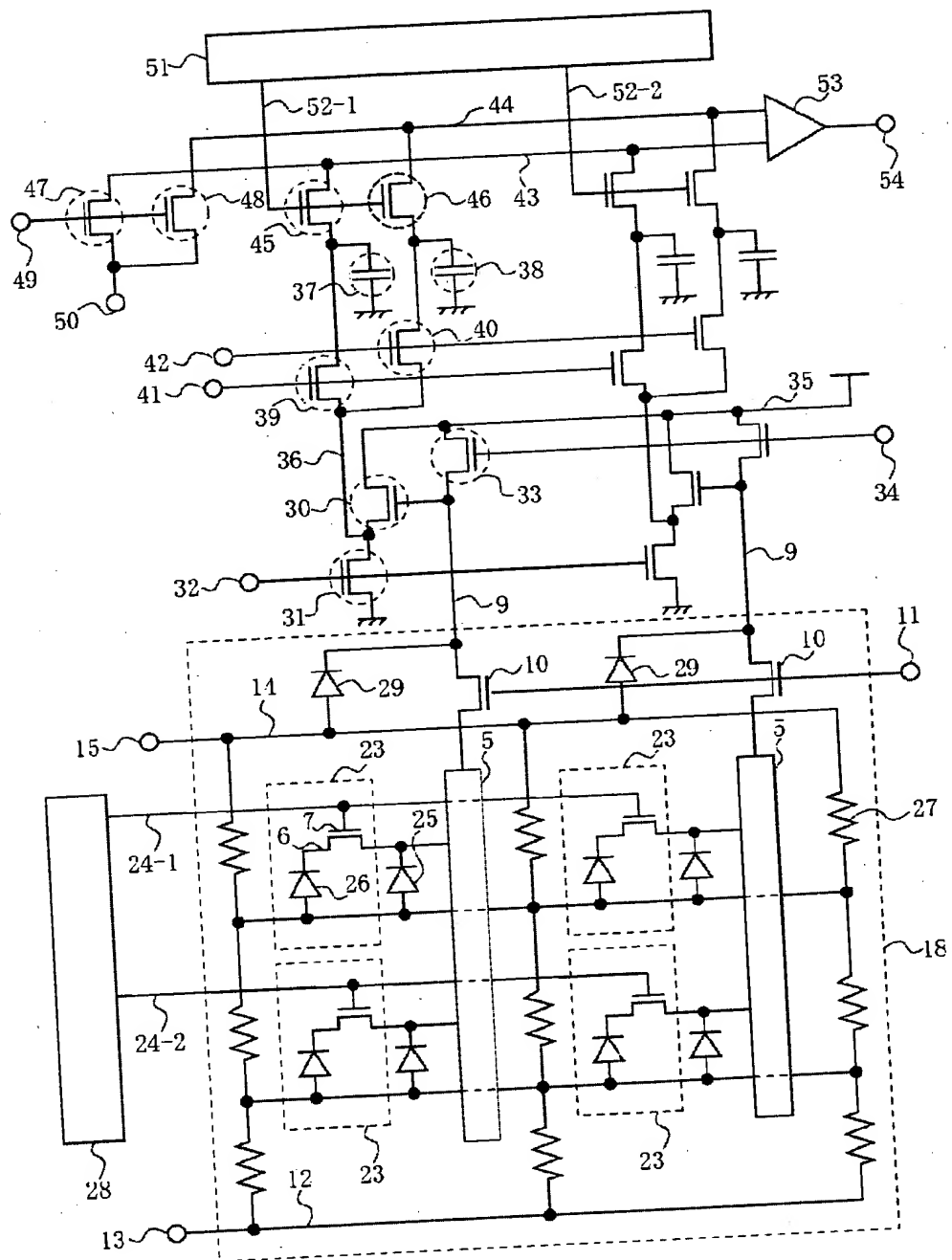
【図 2】



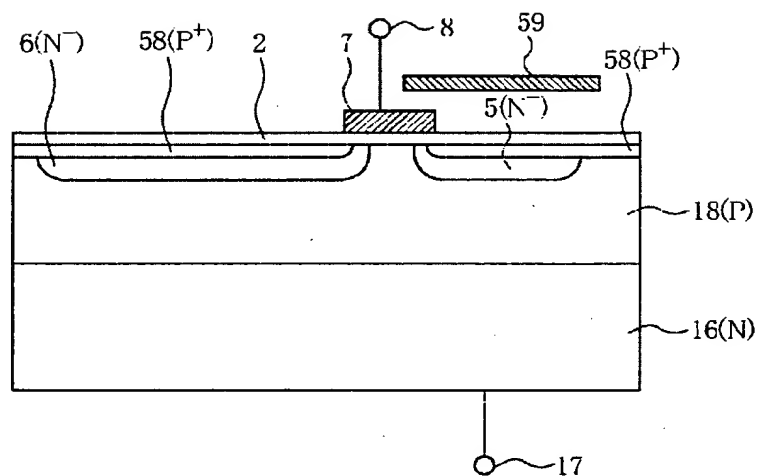
【図 3】



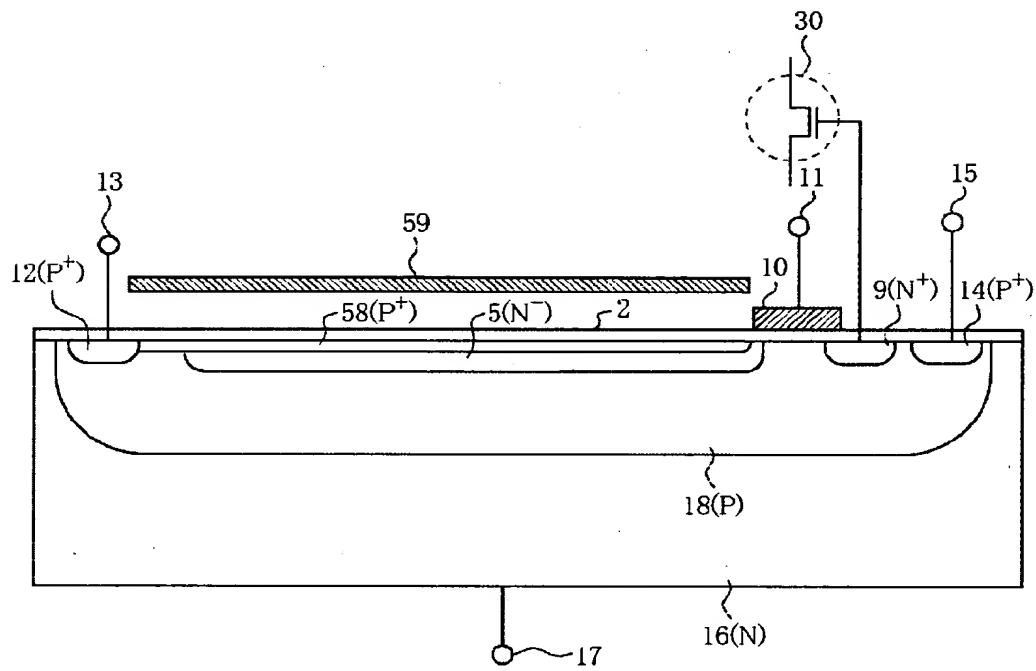
【図4】



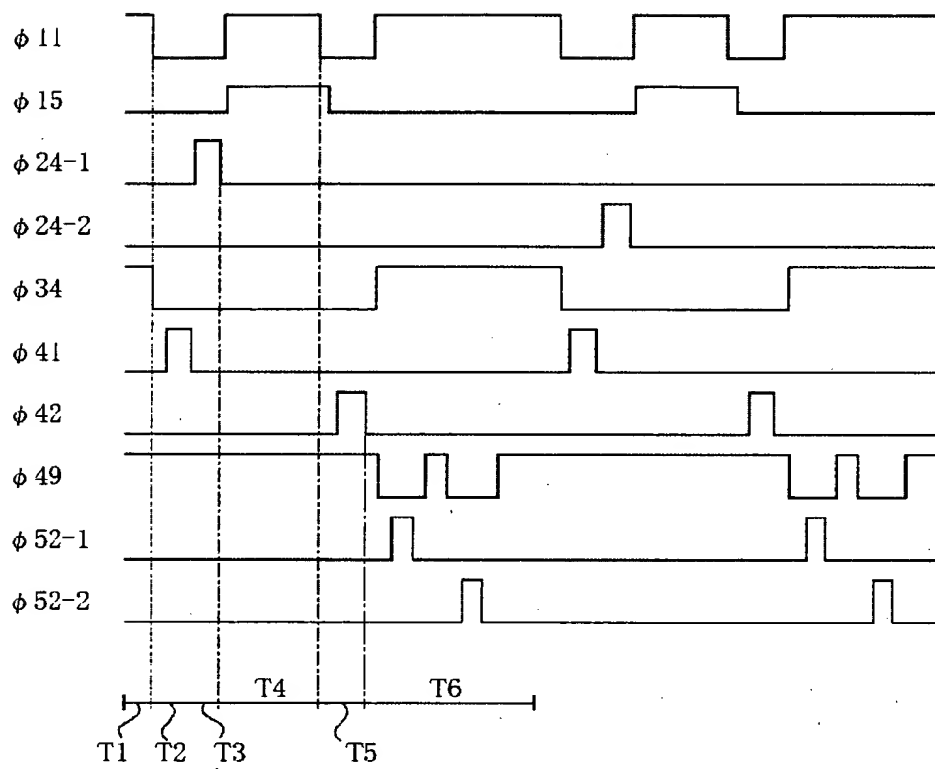
【図 5】



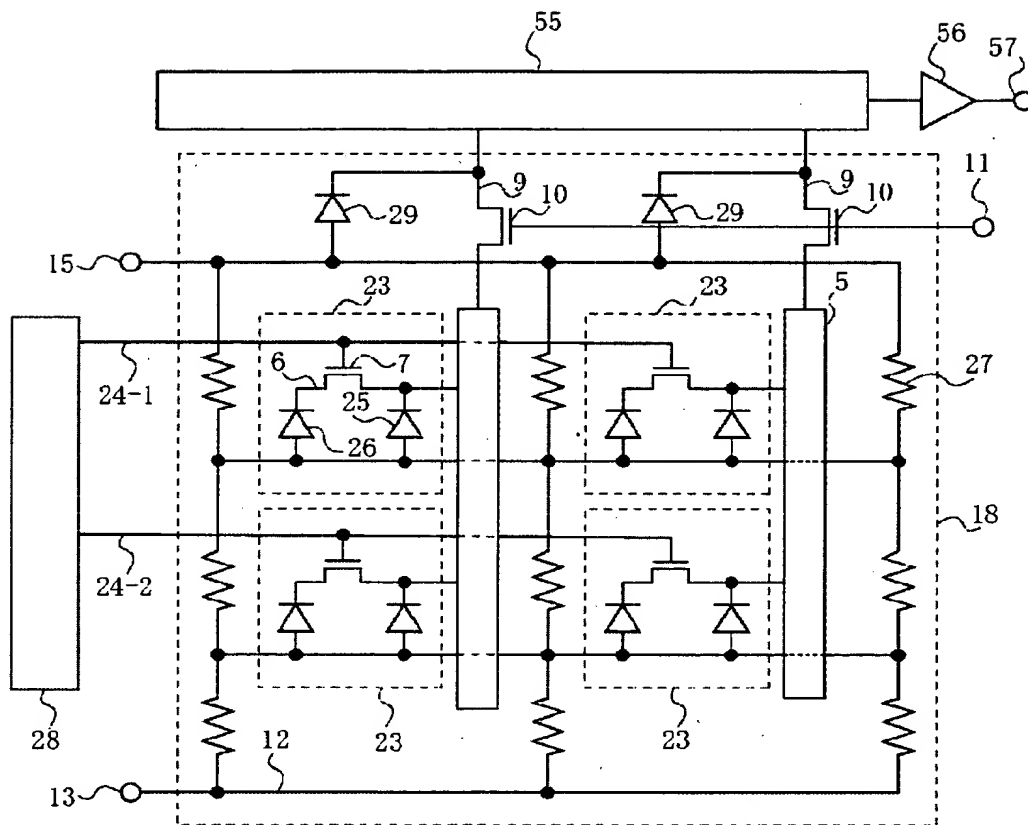
【図 6】



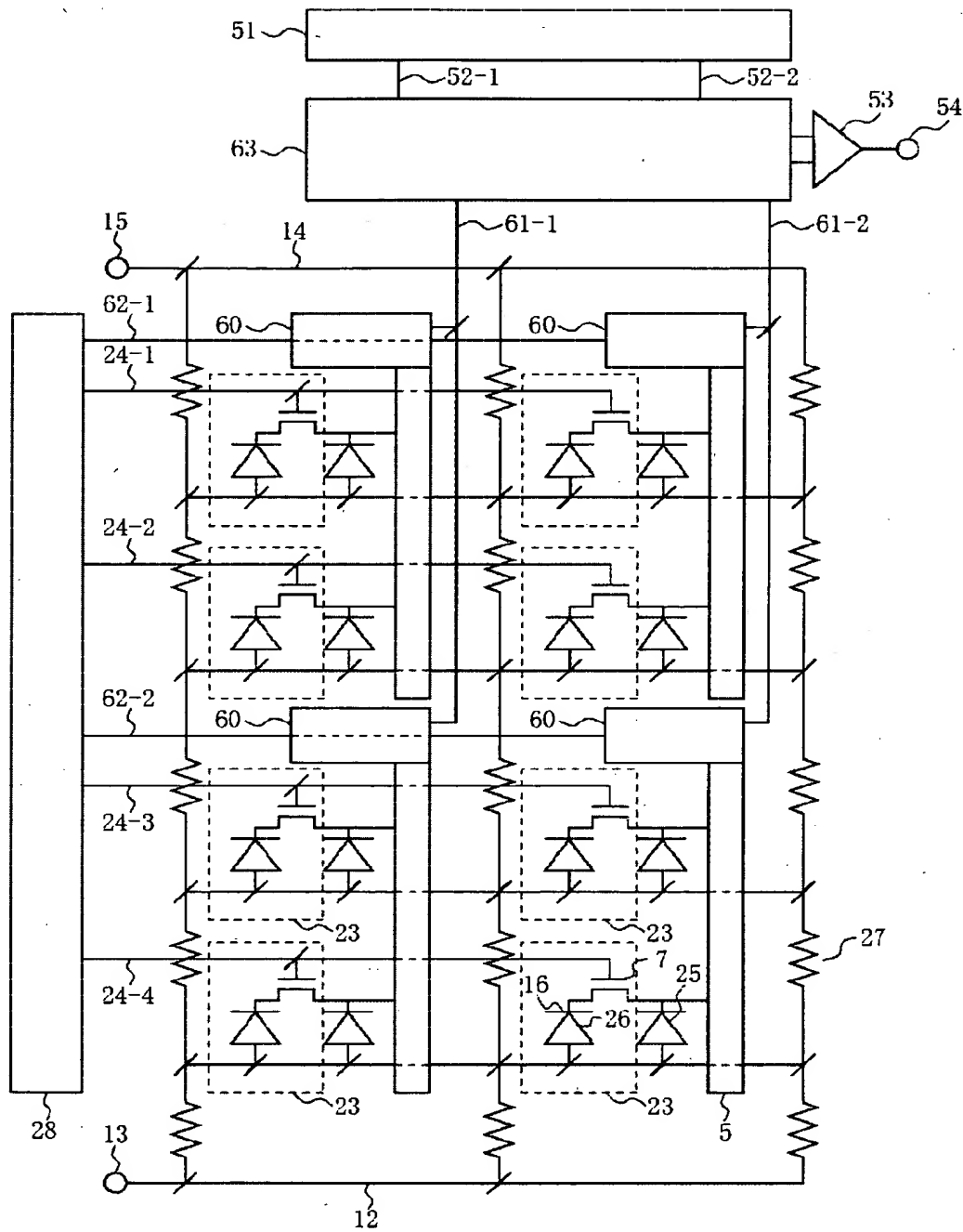
【図 7】



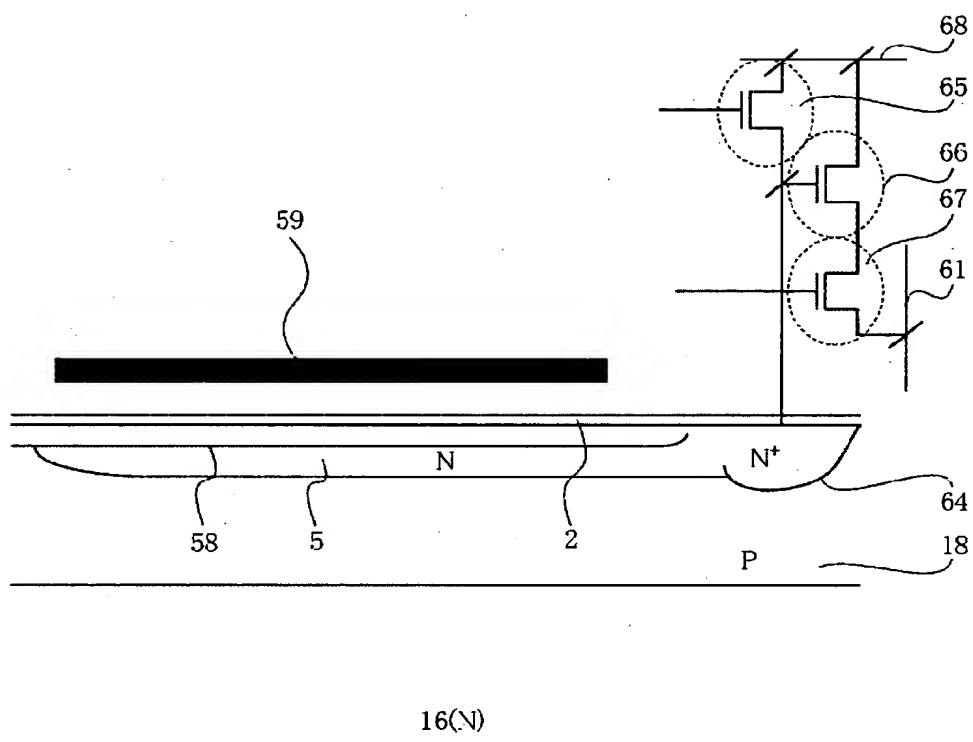
【図 8】



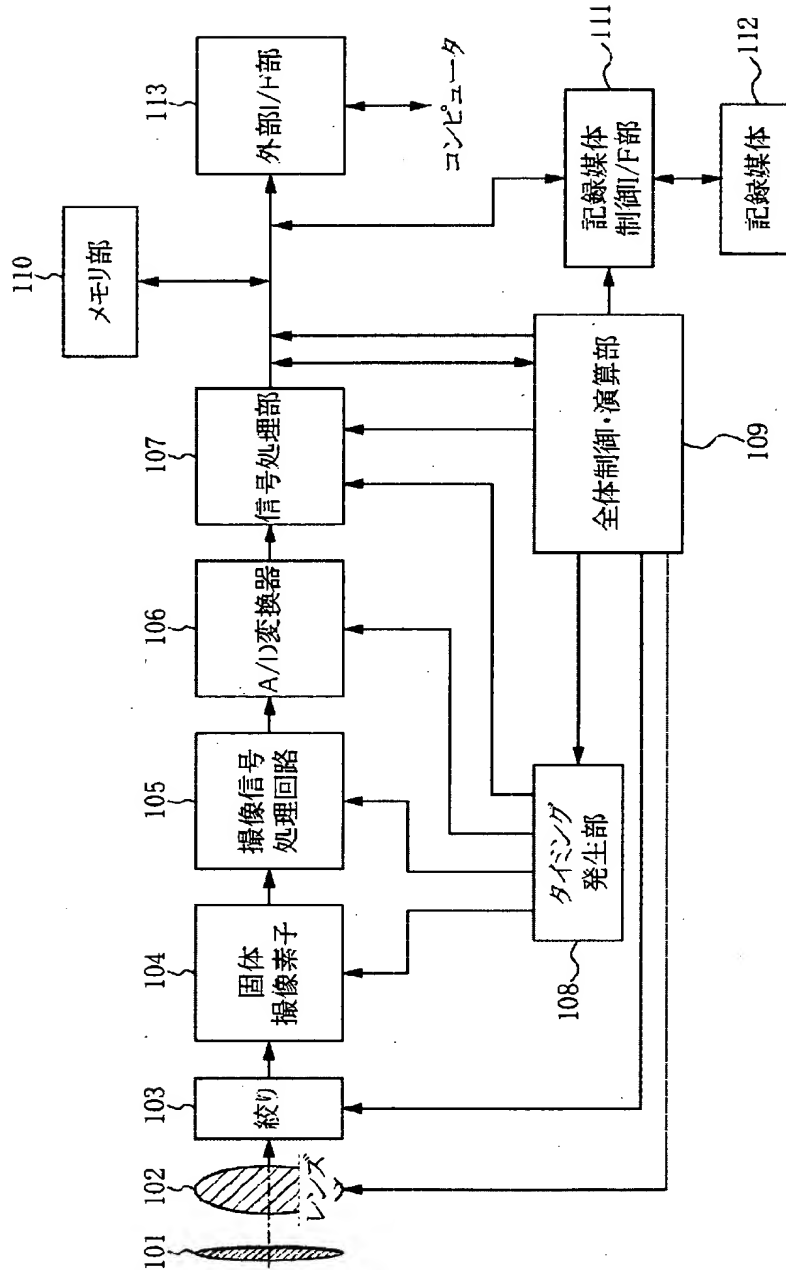
【図 9】



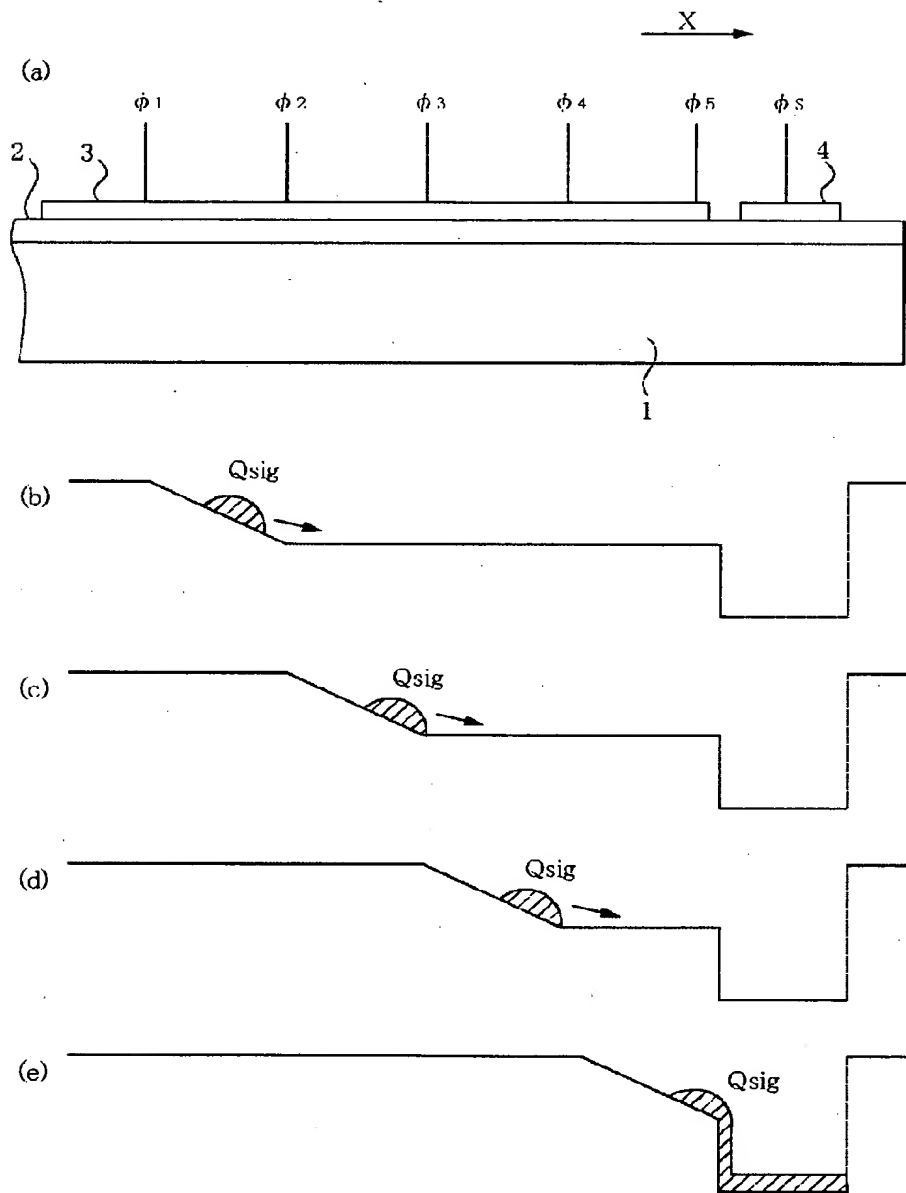
【図 10】



【図 1 1】



【図 12】



【書類名】 要約書

【要約】

【課題】 低ノイズで高速の信号電荷転送を行う。

【解決手段】 一導電型の半導体基板 1 と、半導体基板 1 中に形成され且つ該半導体基板 1 と接合してダイオードを形成する、半導体基板 1 とは反対の導電型の電荷転送領域 5 と、電荷転送領域 5 に信号電荷を入力するための信号電荷入力部 6 と、電荷転送領域 5 から転送されてきた信号電荷を蓄積するための信号電荷出力部 9 と、半導体基板 1 に電位勾配を与えるための複数の独立の電位供給手段 1 2、1 3、1 4、1 5 とを有し、複数の電位供給手段により形成された電位勾配によって電荷転送領域 5 にある信号電荷を転送してなる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 1 - 1 4 6 4 8 2
受付番号	5 0 1 0 0 7 0 5 6 1 9
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 3 年 5 月 2 1 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000001007
【住所又は居所】	東京都大田区下丸子 3 丁目 3 0 番 2 号
【氏名又は名称】	キャノン株式会社

【代理人】

申請人

【識別番号】	100090538
【住所又は居所】	東京都大田区下丸子 3 丁目 3 0 番 2 号 キャノン株式会社内
【氏名又は名称】	西山 恵三

【選任した代理人】

【識別番号】	100096965
【住所又は居所】	東京都大田区下丸子 3 丁目 3 0 番 2 号 キャノン株式会社内
【氏名又は名称】	内尾 裕一

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社